



PCT

WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro

INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation ⁶ : H01L 29/788, 21/28, 27/115, 21/8247		A1	(11) Internationale Veröffentlichungsnummer: WO 99/43030
			(43) Internationales Veröffentlichungsdatum: 26. August 1999 (26.08.99)
(21) Internationales Aktenzeichen: PCT/DE98/03716		(81) Bestimmungsstaaten: JP, KR, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).	
(22) Internationales Anmeldedatum: 17. Dezember 1998 (17.12.98)			
(30) Prioritätsdaten: 198 07 188.4 20. Februar 1998 (20.02.98) DE		Veröffentlicht <i>Mit internationalem Recherchenbericht.</i>	
(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE).			
(72) Erfinder; und			
(75) Erfinder/Anmelder (nur für US): HOFMANN, Franz [DE/DE]; Herbergstrasse 25b, D-80995 München (DE). WILLER, Josef [DE/DE]; Friedrich-Fröbel-Strasse 62, D-85521 Riemerling (DE).			
(74) Gemeinsamer Vertreter: SIEMENS AKTIENGESELLSCHAFT; Wittelsbacherplatz 2, D-80333 München (DE).			
(54) Title: MOS TRANSISTOR MEMORY CELL AND METHOD FOR PRODUCING THE SAME			
(54) Bezeichnung: SPEICHERZELLE MIT MOS-TRANSISTOR UND VERFAHREN ZU IHRER HERSTELLUNG			
(57) Abstract			
<p>The present invention relates to a memory cell including a vertical MOS transistor which comprises a first electrically-isolated gate electrode as well as a second gate electrode. The second gate electrode (140) is partially located in a trench while the MOS transistor is adjacent to the flange of said trench. The first gate electrode is located outside the trench and has a tip (90, 100) at the edge of said trench intended for programming using a reduced current flow. This memory cell can be manufactured according to an automatic adjustment method so as to obtain overall dimensions of 6 F².</p>			

(57) Zusammenfassung

Die Speicherzelle weist einen vertikalen MOS-Transistor auf, der eine erste Gateelektrode, die elektrisch isoliert ist, und eine zweite Gateelektrode umfaßt. Die zweite Gateelektrode (140) ist teilweise in einem Graben angeordnet, an dessen Flanke der MOS-Transistor angrenzt. Die erste Gateelektrode ist außerhalb des Grabens angeordnet und weist an der Grabenkante eine Spitze (90, 100) auf, die eine Programmierung bei verringertem Stromfluß ermöglicht. Die Speicherzelle ist durch selbstjustierende Herstellung mit einem Flächenbedarf von $6 F^2$ herstellbar.

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidshan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

Beschreibung

Speicherzelle mit MOS-Transistor und Verfahren zu ihrer Herstellung

5

Die Erfindung betrifft eine Speicherzelle mit wenigstens einem MOS-Transistor,

- wobei der Transistor eine Source, eine erste Gateelektrode, eine zweite Gateelektrode, eine Drain und einen Kanal enthält,
- wobei die erste Gateelektrode isoliert ist und eine elektrische Ladung enthalten kann,
- wobei an die zweite Gateelektrode eine Steuerspannung gelegt werden kann,
- wobei die Source, die Drain und der Kanal durch verschieden dotierte Bereiche eines Halbleitersubstrats gebildet werden und
- wobei sich zwischen dem Halbleitersubstrat und den Gateelektroden wenigstens eine dielektrische Schicht, die ein Gatedielektrikum bildet, befindet.

Die Erfindung betrifft ferner ein Verfahren zur Herstellung einer derartigen Speicherzelle.

- 25 Eine derartige Speicherzelle ist in der US-PS 5 242 848 beschrieben. Hierbei erstreckt sich die erste Gateelektrode flach auf einer dielektrischen Schicht und weist eine Spitze auf. Die zweite Gateelektrode weist mehrere Bereiche auf, wobei ein unterer Bereich auf der gleichen dielektrischen
- 30 Schicht wie die erste Gateelektrode angeordnet ist und wobei ein oberer Bereich der zweiten Gateelektrode bereichsweise oberhalb der ersten Gateelektrode angeordnet ist. Durch diese Anordnung wird lokal ein besonders großer elektrischer Feldgradient an der Oberfläche der ersten Gateelektrode geschaffen.
- 35 Ein Spitzeneffekt begünstigt ein Fowler-Nordheim-Tunneln. Bei dem Fowler-Nordheim-Tunneln handelt es sich um einen Ladungstransport durch einen Isolator. Der La-

5 dungstransport durch einen Isolator ist generell stark abhängig von dem angelegten elektrischen Feld. Bei dem Fowler-Nordheim-Tunneln weist die elektrische Stromdichte j die besondere Abhängigkeit $j = C_1 \times \epsilon^2 \exp(-\epsilon_0/\epsilon)$ auf, wobei ϵ die elektrische Feldstärke und C_1 und ϵ_0 von der effektiven Masse der Ladungsträger und der Höhe der Barrierschicht abhängige Konstanten sind. Durch die hohe elektrische Felddichte kann diese gattungsgemäße Speicherzelle besonders einfach elektrisch gelöscht werden.

10

Es hat sich jedoch gezeigt, daß diese Speicherzelle bei Strukturgrößen von 0,25 μm und darunter nicht die für Speicherzellen erforderliche Zuverlässigkeit aufweist.

15 Der Erfindung liegt die Aufgabe zugrunde, eine gattungsgemäße Speicherzelle zu schaffen, welche die Nachteile des Standes der Technik überwindet. Insbesondere soll diese Speicherzelle mit Strukturgrößen von 0,25 μm und darunter realisierbar sein. Ferner soll eine derartige Speicherzelle möglichst einfach herstellbar sein.

20

Diese Aufgabe wird durch eine Speicherzelle gemäß Anspruch 1 sowie ein Verfahren zu deren Herstellung gemäß Anspruch 8 gelöst. Weitere Ausgestaltungen der Erfindung gehen aus den übrigen Ansprüchen hervor.

25

Erfindungsgemäß wird diese Aufgabe dadurch gelöst, daß eine gattungsgemäße Speicherzelle so ausgestattet wird, daß die zweite Gateelektrode wenigstens in einem Bereich in das Halbleitersubstrat eindringt. Die erste Gateelektrode weist wenigstens eine Spitze auf, die der zweiten Gateelektrode zugewandt ist.

30

Vorzugsweise ist die zweite Gateelektrode mindestens teilweise in einem Graben angeordnet, entlang dessen Seitenwand sich ein leitender Kanal ausbilden kann. Die Spitze der ersten Gateelektrode ist an der Grabenkante angeordnet.

35

Die Erfindung sieht vor, einen MOS-Transistor einer Speicherzelle so auszugestalten, daß er zwei räumlich voneinander getrennte Gateelektroden aufweist, wobei die erste Gateelektrode eine einprogrammierte elektrische Ladung enthält, und wobei die zweite Gateelektrode mit einer Leitung verbunden ist. Die zweite Gateelektrode ist hierbei so ausgestaltet, daß sie als ganzes oder in einem Teilbereich in das Halbleitersubstrat eindringen kann.

Vorzugsweise ist die erste Gateelektrode als floatende Gateelektrode ausgebildet. Der Begriff floatende Gateelektrode weist darauf hin, daß die erste Gateelektrode mit einer variablen elektrischen Ladung versehen werden kann. Die erste Gateelektrode befindet sich wenigstens bereichsweise zwischen der zweiten Gateelektrode und dem Kanal des MOS-Transistors. Durch diese Anordnung hängt die Einsatzspannung einer Speicherzelle mit MOS-Transistor und floatender Gateelektrode von der auf der floatenden Gateelektrode befindlichen Ladung ab.

Eine bevorzugte Ausführungsform der erfindungsgemäßen Speicherzelle zeichnet sich dadurch aus, daß die Source tiefer im Halbleitersubstrat angeordnet ist als die Drain, und daß die zweite Gateelektrode so in das Halbleitersubstrat eindringt, daß die zweite Gateelektrode sich mindestens abschnittsweise oberhalb der Source befindet.

Es ist besonders vorteilhaft, daß die zweite Gateelektrode in einem weiteren Bereich über das Halbleitersubstrat hinausragt.

Ein besonders kompaktes Zellenfeld läßt sich dadurch erreichen, daß die erste Gateelektrode wenigstens abschnittsweise parallel zu der zweiten Gateelektrode verläuft.

Hierdurch ist es möglich, daß eine einzelne Gateelektrode zwei vorzugsweise vertikale MOS-Transistoren ansteuert. Bei

der Gateelektrode handelt es sich um die hier als zweite Gateelektrode bezeichnete Auswahl-Gateelektrode (Select-Gate).

Ein Spitzeneffekt läßt sich besonders günstig dadurch erreichen, daß der Bereich der zweiten Gateelektrode, der in das Halbleitersubstrat eindringt, durch einen vertikalen Vorsprung der zweiten Gateelektrode gebildet wird, und daß ein anderer Bereich der zweiten Gateelektrode sich im wesentlichen parallel zu einer Oberfläche des Halbleitersubstrats erstreckt.

Eine kompakte Bauweise, bei der die zweite Gateelektrode (Select-Gate) zwei erste (floatende) Gateelektroden ansteuert, kann in besonders einfacher und zweckmäßiger Weise dadurch erzielt werden, daß die erste Gateelektrode einen Abschnitt aufweist, der sich parallel zu dem vertikalen Teil der zweiten Gateelektrode erstreckt.

Eine Anordnung mit ausgeprägtem Spitzeneffekt und dementsprechend begünstigten Fowler-Nordheim-Tunneln läßt sich dadurch erzielen, daß die erste Gateelektrode sich im wesentlichen parallel zu einer Oberfläche des Halbleitersubstrats erstreckt, und daß die erste Gateelektrode in einem anderen, vertikal zu dem Halbleitersubstrat ausgerichteten, Bereich wenigstens eine Spitze aufweist.

Eine weitere Erhöhung des Spitzeneffekts läßt sich dadurch erzielen, daß die Spitze der ersten Gateelektrode in wenigstens eine Ausnehmung der zweiten Gateelektrode eindringt.

Die Erfindung betrifft ferner ein Verfahren zur Herstellung einer Speicherzelle mit wenigstens einem MOS-Transistor, wobei auf einem Halbleitersubstrat eine dielektrische Schicht für die Bildung eines Gatedielektrikums, eine erste elektrisch leitfähige Schicht für die Bildung einer ersten Gateelektrode, eine weitere dielektrische Schicht und eine zweite elektrisch leitfähige Schicht für die Bildung einer

zweiten Gateelektrode abgeschieden werden und wobei in dem Halbleitermaterial verschieden dotierte Gebiete für eine Source, eine Drain und einen Kanal gebildet werden. Dieses Verfahren zeichnet sich erfindungsgemäß dadurch aus, daß auf
5 der ersten elektrisch leitfähigen Schicht eine Spitze erzeugt wird, und daß die zweite Gateelektrode so erzeugt wird, daß sie wenigstens in einem Bereich in das Halbleitersubstrat eindringt.

10 Dieses Verfahren kann in besonders vorteilhafter Weise so durchgeführt werden, daß auf das Halbleitersubstrat zuerst eine dielektrische Schicht und dann eine elektrisch leitende Schicht, die in der fertigen Speicherzelle als erste Ga-
teelektrode dient, erzeugt wird, und daß in einem späteren
15 Prozeßschritt ein Bereich aus der ersten elektrisch leitenden Schicht und aus dem darunter liegenden Bereich der dielektrischen Schicht sowie des Halbleitersubstrats entfernt werden.

Ein derartiges Entfernen kann beispielsweise durch einen oder
20 mehrere Ätzprozesse erfolgen. Die Ätzprozesse sind so gewählt, daß sie eine möglichst anisotrope Ätzung des Halbleitersubstrats ermöglichen.

Eine kompakte Zelle, bei der die zweite Gateelektrode (das
25 Select-Gate) zwei verschiedene Transistoren steuert wird vorzugsweise in einem selbstjustierten Prozeß erzeugt. Hierdurch werden genau definierte Geometrien der Gateelektroden und ihrer Umgebung erzielt. Ein derartiger selbstjustierter Prozeß erfolgt vorzugsweise so, daß auf dem Halbleitersubstrat zu-
30 erst eine dielektrische Schicht und dann eine elektrisch leitende Schicht, die in der fertigen Speicherzelle als erste Gateelektrode dient, erzeugt wird, und daß in einem späteren Prozeßschritt ein Bereich aus der ersten elektrisch leitenden Schicht und aus dem darunter liegenden Bereich der dielektri-
35 schen Schicht sowie des Halbleitersubstrats entfernt werden.

Diese Variante des Verfahrens wird zweckmäßigerweise so durchgeführt, daß das bereichsweise Entfernen der ersten elektrisch leitfähigen Schicht, der ersten dielektrischen Schicht sowie des Halbleitersubstrats durch einen oder mehrere Ätzzvorgänge erfolgt.

Weitere Vorteile, Besonderheiten und zweckmäßige Weiterbildungen der Erfindung ergeben sich aus den Unteransprüchen und der nachfolgenden Darstellung eines bevorzugten Ausführungsbeispiels der Erfindung anhand der Zeichnungen.

Von den Zeichnungen zeigt

Figur 1 einen Querschnitt durch das Halbleitersubstrat nach Auftragung einer dielektrischen Schicht, einer ersten elektrisch leitfähigen Schicht und einer dielektrischen Schicht,

Figur 2 einen Querschnitt durch das Halbleitersubstrat nach Ätzung und Füllung eines Grabens,

Figur 3 einen Querschnitt durch das Halbleitersubstrat nach einem selektiven Wegätzen des Halbleitersubstrats und der dielektrischen Schicht sowie einem Auftragen einer weiteren Halbleiterschicht,

Figur 4 einen Querschnitt durch das Halbleitersubstrat nach einer isotropen Oxidation der weiteren Halbleiterschicht,

Figur 5 einen Querschnitt durch das Halbleitersubstrat nach einem Wegätzen der Halbleiterschicht,

Figur 6 einen Querschnitt durch das Halbleitersubstrat nach Abscheiden einer Isolationsschicht und Entfernen des in dem Graben enthaltenen Füllmaterials,

- Figur 7 einen Querschnitt durch das Halbleitersubstrat nach einer Aufbringung eines elektrisch leitfähigen Materials, das in der fertiggestellten Speicherzelle eine zweite Gateelektrode bildet,
- 5
- Figur 8 einen Ausschnitt aus Figur 7 im Übergangsbereich zwischen der ersten Gateelektrode und der zweiten Gateelektrode,
- 10
- Figur 9 eine Aufsicht auf eine Speicherzellenanordnung, die mehrere Speicherzellen enthält und
- Figur 10 ein Schaltbild der Speicherzellenanordnung.
- 15
- Eine besonders bevorzugte Ausführungsform der Erfindung beginnt mit einer Isolation von aktiven Gebieten. Diese Isolation kann durch die Erzeugung einer Isolationsstruktur beispielsweise mit einem LOCOS (Local Oxidation Of Silicon) oder einem STI (Shallow-Trench-Isolation) - Prozeß erfolgen. Die
- 20
- Isolationsstruktur beinhaltet Isolationsgräben 170 und Isolationsbereiche 180, deren Anordnung bei der fertig hergestellten Speicherzellenanordnung in Figur 9 dargestellt ist.
- Anschließend werden in dem Halbleitersubstrat 10 Wannengebiete 20 und einen Kanal 25 bildende Gebiete vorzugsweise durch
- 25
- die Implantation von Ionen erzeugt. Beispielsweise werden im Fall eines NMOS-Transistors Bor-Ionen implantiert. Im Fall eines PMOS-Transistors erfolgt beispielsweise eine Implantation von Phosphor.
- 30
- Anschließend wird eine dielektrische Schicht, die im fertigen Transistor ein Gatedielektrikum 30 bildet, aufgewachsen. Vorzugsweise wird die dielektrische Schicht oxidiert.
- 35
- Danach wird als erste elektrisch leitfähige Schicht eine Halbleiterschicht, die in einem späteren Bearbeitungsschritt eine erste Gateelektrode 40 bildet, beispielsweise aus poly-

kristallinem Silizium, abgeschieden. Die Halbleiterschicht wird mittels bekannter photolithographischer Prozeßschritte strukturiert. Im nächsten Prozeßschritt wird zur Bildung von Drainagegebieten ein Dotierstoff in einer leicht ansteigenden Konzentration implantiert (LDD-Implantation). Ein derart flaches Konzentrationsgefälle im Bereich der für die Bildung einer Drainage bestimmten Gebiete verlängert die Lebensdauer des Transistors. Nach der Strukturierung der Halbleiterschicht, die in einem späteren Bearbeitungsschritt die erste Gateelektrode 40 bildet, wird eine Isolationsschicht 50 abgeschieden. Die Isolationsschicht 50 weist dabei eine Dicke auf, die groß genug ist, um die Halbleiterschicht ganzflächig zu bedecken. Beispielsweise ist die Isolationsschicht 50 ungefähr 600 nm dick. Die Isolationsschicht 50 kann beispielsweise aus einem nach einem TEOS- (Tetra-Ethyl-Ortho-Silikat)-Verfahren abgeschiedenen Oxid bestehen. Hierzu wird Tetra-Ethyl-Ortho-Silikat: $\text{Si}(\text{OC}_2\text{H}_5)_4$ vorzugsweise bei einer Temperatur von etwa 700 °C und einem Druck von 40 Pa in SiO_2 umgewandelt.

Anschließend wird die Isolationsschicht 50 durch ein geeignetes Planarisierungsverfahren, beispielsweise durch chemisch-mechanisches Polieren (CMP) planarisiert. Dieser Bearbeitungszustand ist in Figur 1 dargestellt.

Hierauf folgt mittels einer nicht dargestellten Maske eine Ätzung eines Grabens 53, der durch die Isolationsschicht 50, die erste Gateelektrode 40 und das Gatedielektrikum 30 in das Halbleitersubstrat eindringt. Dieses Eindringen erfolgt bis zu dem den Kanal 25 bildenden Gebiet.

Nach dem Ätzen des Grabens 53 erfolgt im Bereich des Bodens des Grabens eine Implantation eines Dotierstoffs, beispielsweise Arsen für die Bildung einer Source 60.

Im dargestellten Beispiel wird der MOS-Transistor so hergestellt, daß die Source 60 sich unterhalb einer zweiten Ga-

teelektrode 120 befindet, während die Drains 45 sich im Bereich der Oberfläche des Halbleitersubstrats befinden. Die Drains 45 bilden in der fertigen Speicherzellenanordnung Bitleitungen.

5

Anschließend wird eine Oxidschutzschicht 55 so aufgebracht und strukturiert, daß sie den Boden und die Wände des Grabens 53 bedeckt. Die Oxidschutzschicht 55 wird vorzugsweise nach einem TEOS- (Tetra-Ethyl-Ortho-Silikat)Verfahren abgeschieden.

10 Hierbei wird Tetra-Ethyl-Ortho-Silikat $\text{Si}(\text{OC}_2\text{H}_5)_4$ bei einer Temperatur von etwa 700 °C und einem bevorzugten Druck von 40 Pa in SiO_2 umgewandelt. Die Oxidschutzschicht 55 kapselt ein in einem nächsten Verfahrensschritt in den Graben 53 gefülltes Füllmaterial 70 ein.

15

Anschließend wird der Graben 53 mit einem Füllmaterial 70, beispielsweise aus Siliziumnitrid Si_3N_4 gefüllt. Anschließend folgt ein Planarisierungsvorgang, beispielsweise durch einen CMP-Schritt, so daß das Füllmaterial 70 eine plane Oberfläche

20 aufweist. Dieser Bearbeitungszustand ist in Figur 2 dargestellt.

Durch einen Ätzprozeß wird oberhalb der ersten Gateelektrode 40 die Isolationsschicht 50 entfernt. Bei diesem Ätzprozeß

25 handelt es sich vorzugsweise um eine anisotrope Trockenätzung, die mit einem geeigneten Ätzgas, beispielsweise CF_4 oder CHF_3 und gegebenenfalls einem geeigneten Zusatz wie O_2 erfolgen kann.

30 Anschließend wird eine weitere Halbleiterschicht 80, beispielsweise aus polykristallinem Silizium konform abgeschieden. Dieser Bearbeitungszustand ist in Figur 3 dargestellt.

Die erste Gateelektrode 40 und die weitere Halbleiterschicht

35 80 sind rechtwinklig ausgebildet. Sie erstrecken sich senkrecht zu der dargestellten Zeichnungsebene.

Anschließend wird die weitere Halbleiterschicht 80, die zunächst durchgehend gestaltet ist, aufgetrennt, was mittels bekannter photolithographischer Prozeßschritte erfolgen kann. Diese Auftrennung der weiteren Halbleiterschicht 80 erfolgt
5 um eine Isolierung der ersten Gateelektrode 40 sicherzustellen.

Das Auftrennen der weiteren Halbleiterschicht 80 erfolgt in einer zu der dargestellten Querschnittsfläche parallelen,
10 nicht dargestellten Ebene.

Anschließend erfolgt eine isotrope Oxidation der weiteren Halbleiterschicht 80. Diese Oxidation erfolgt so weit, daß nur im Grenzbereich zu dem Graben 53 Spitzen 90 und 100 der
15 weiteren Halbleiterschicht 80 nicht in ein Oxid umgewandelt werden.

Die Spitzen 90, 100 weisen die Form von Schneidkanten auf, deren Längsrichtung sich senkrecht zu der Darstellungsebene erstreckt. Dieser Bearbeitungszustand ist in Figur 4 dargestellt.
20

Zuvor wurde das Verfahren für den besonders bevorzugten Fall beschrieben, daß die Spitzen 90 und 100 als nicht oxidierte
25 Reste der zweiten Halbleiterschicht 80 bestehen bleiben. Die Erzeugung der Spitzen 90 und 100 kann jedoch auch auf eine andere Weise erfolgen. So ist es beispielsweise auch möglich, das Verfahren mit einem Herausätzen der Spitzen 90 und 100 durchzuführen. In diesem Fall ist lediglich ein weiterer Pro-
30 zeßschritt erforderlich, durch den oberhalb der ersten Gateelektrode eine zusätzliche Isolationsschicht gebildet wird. So werden die Spitzen 90 und 100 alternativ dadurch gebildet, daß die Halbleiterschicht 80 so geätzt wird, daß die Spitzen 90 und 100 stehen bleiben. Hierzu wird zweckmäßigerweise ein
35 isotroper Ätzprozeß durchgeführt, der sowohl als ein naßchemischer Ätzprozeß als auch als ein Trockenätzprozeß erfolgen

kann. Das Ergebnis eines derartigen Ätzprozesses ist in Figur 5 dargestellt.

Anschließend wird eine weitere Isolationsschicht 110 aufgetragen. Hierzu kann beispielsweise Tetra-Ethyl-Ortho-Silikat (TEOS; $\text{Si}(\text{OC}_2\text{H}_5)_4$) bei einer Temperatur im Bereich von 700 °C und einem Druck im Bereich von 10 Pa bis 100 Pa, bevorzugt 40 Pa, in SiO_2 umgewandelt werden. Die Dicke der weiteren Isolationsschicht 110 ist mindestens so groß wie die Höhe der Spitzen 90, 100. Wurden die Spitzen 90, 100 als nicht oxidierte Reste der zweiten Halbleiterschicht 80 erzeugt, so kann die oxidierte zweite Halbleiterschicht 80 anstelle oder zusätzlich zu der weiteren Isolationsschicht 110 verwendet werden. Danach erfolgt ein Prozeß des chemisch-mechanischen Polierens (CMP), wobei das Füllmaterial 70, das heißt hier die Nitridfüllung, des Grabens 53 als Stoppschicht dient. Anschließend wird das Füllmaterial 70 naßchemisch entfernt. Hierbei wird auch die Oxidschutzschicht 55 entfernt. Dieser Bearbeitungszustand ist in Figur 6 dargestellt.

Anschließend erfolgt in dem Graben 53 eine thermische Oxidation, so daß sich ein Gatedielektrikum 115 bildet. Die thermische Oxidation erfolgt in einer sauerstoffhaltigen Atmosphäre, die gegebenenfalls Zusätze, beispielsweise von HCl oder Stickstoff, enthält. Vorzugsweise erfolgt die Oxidation bei einer Temperatur im Bereich von 800 °C bis 900 °C. Danach wird auf die Isolationsschicht 110 ein Halbleitermaterial aufgebracht, das eine zweite Gateelektrode 120 bildet. Bei dem Halbleitermaterial handelt es sich beispielsweise um polykristallines Silizium. Das Halbleitermaterial ist mit einem Dotierstoff, beispielsweise Phosphor, in einer Konzentration von vorzugsweise etwa $1 \times 10^{21} \text{ cm}^{-3}$, dotiert.

Die zweite Gateelektrode 120 weist einen sich flächenförmig erstreckenden Bereich 130 und einen dazu senkrechten Vorsprung 140 auf, der in den Graben 53 eindringt. Der Bereich 130 der zweiten Gateelektrode 120 erstreckt sich im wesentli-

chen parallel zu der ersten Gateelektrode 40, reicht aber über diese hinaus.

5 In eine Übergangszone zwischen dem Vorsprung 140 und dem flächenförmigen Bereich 130 der zweiten Gateelektrode 120 ragen die Spitzen 90 und 100 derart hinein, daß an diesen Stellen die zweite Gateelektrode 120 eine Einbuchtung 150 aufweist. Die Einbuchtung 150 ist in der Detailansicht in Figur 8 vergrößert dargestellt. Hierbei ist auch ersichtlich, daß die
10 Spitze 100 einen Abschnitt 105 aufweist, der sich im wesentlichen parallel zu dem Vorsprung 140 der Gateelektrode 120 erstreckt, wobei der Abschnitt 105 in der Nähe der Berührungsfläche zwischen dem Vorsprung 140 und dem flächenförmigen Bereich 130 der zweiten Gateelektrode am nächsten kommt.

15 Durch die Drain 45, die Source 60, den Kanal 25, das Gatedielektrikum 115 und die zweite Gateelektrode 120 wird ein vertikaler Transistor gebildet.

20 Die so hergestellte Speicherzelle wird mit üblichen Prozeßschritten, beispielsweise mit Aufbringen eines Zwischenoxids, Kontaktlochätzung und Erzeugung einer Metallisierung, vervollständigt.

25 Die fertig hergestellte Speicherzelle kann auf die nachfolgend anhand von Figur 8 dargestellte Weise programmiert werden. Hierzu werden an der Source 60 Ladungsträger erzeugt, die aufgrund einer Potentialdifferenz an der Grenze zu der ersten (floatenden) Gateelektrode 40 in die erste (floatende)
30 Gateelektrode 40 injiziert werden. Bei geeigneten Spannungsbedingungen, bei denen die zweite (Select-Gate) Gateelektrode 120 eine Spannung aufweist, die etwas über der Einsatzspannung des durch die Drain 45, die Source 60, den Kanal 25, das Gatedielektrikum 115 und die zweite Gateelektrode 120 gebil-
35 deten vertikalen Transistors liegt, erfolgt nur ein sehr geringer Stromfluß. Dies stellt einen Unterschied zu der bekannten Programmierung mit heißen Ladungsträgern dar, bei der

der Transistor in Sättigungsspannung betrieben wird. Die Spannung, die an der zweiten Gateelektrode anliegt, kann bei der erfindungsgemäßen Speicherzelle in Abhängigkeit von einer gewünschten Programmierzeit gewählt werden. Diese Spannung
5 variiert dabei zwischen einer von außen anliegenden Betriebs-
spannung und der Einsatzspannung des vertikalen Transistors. Wenn die Spannung gleich der Einsatzspannung ist, dann ist die Programmierzeit hoch, es fließt aber nur ein sehr geringer Strom. Hierdurch ist die für den Schaltvorgang erforder-
10 liche Leistung sehr gering. Durch eine Erhöhung der Spannung wird die Programmierzeit verkürzt, jedoch die Leistungsauf-
nahme erhöht. Durch die Variabilität von Programmierzeit und Leistungsaufnahme ist die Speicherzellenanordnung für eine
Vielzahl von Anwendungsgebieten geeignet.

15 Im folgenden ist ein bevorzugte Anwendungsbeispiel dargestellt:

Die Spannung an der Source 60 beträgt 0 V, an der Drain 45 12
20 V und an der zweiten Gateelektrode 120 1,5 V. Ein Löschen der Speicherzelle erfolgt durch ein Tunneln zwischen der Spitze
100 und der zweiten Gateelektrode 120. Aufgrund des Spitzeneffektes treten hier sehr hohe elektrische Felder auf und ein Stromfluß findet nur an der Spitze 100 statt.

25 Eine derartige Speicherzelle zeichnet sich durch ihren geringen Flächenverbrauch von beispielsweise $6 F^2$ aus.

Der dargestellte Prozeß zu ihrer Herstellung ist besonders
30 zweckmäßig, weil er selbstjustiert erfolgt und so eine definierte Geometrie der Bestandteile der Speicherzelle sicherstellt. Insbesondere wird so eine definierte Kanallänge erzielt.

35 Grundsätzlich ist es jedoch auch möglich, die Speicherzelle mit einem anderen Verfahren herzustellen.

Nachfolgend wird Aufsicht auf die Speicherzellenanordnung sowie eine bevorzugte Schaltung zum elektrischen Anschluß der Speicherzellenanordnung erläutert.

5 Bei der in Figur 9 dargestellten Speicherzellenanordnung handelt es sich um ein Zweifach-AND. Hierbei sind mehrere Speicherzellen 150 dargestellt, welche jeweils eine Zellgröße von $6 F^2$ aufweisen. Die Breite der einzelnen Quadrate, welche die Source 60 oder die Drain 45, 145 bilden, entspricht der minimalen Strukturgröße F des Herstellungsprozesses der Speicherzelle.
10

Hierbei bilden die Drains 45, 145 Bitleitungen. Die Kreuzungspunkte der Bitleitungen mit Wortleitungen bilden einzelne Speicherzellen der Speicherzellenanordnung. Die zweiten Gateelektroden 120 sind durchgehend gestaltet, so daß sie jeweils eine mehrere MOS-Transistoren ansteuernde Wortleitung bilden.
15

20 Die Source 60 und zwei durch Drains 45, 145 gebildete Bitleitungen sind von Isolationsgräben 170 seitlich begrenzt. Die Isolationsgräben 170 isolieren die Bitleitungen gegeneinander. Dabei verlaufen die Isolationsgräben 170 parallel zu den Bitleitungen. Weitere Isolationsgebiete 180 dienen zur Isolation der ersten Gateelektroden 40.
25

Das Schaltbild der in Figur 9 dargestellten Speicherzellenanordnung ist in Figur 10 dargestellt, wobei die zweite Drain mit der Bezugsziffer 145 gekennzeichnet ist. Jeweils zwischen einer ersten Drain 45 und einer zweiten Drain 145 befindet sich eine Source 60, so daß sich zwei parallele Reihen von Transistoren 155, 160 in Richtung der Längsausdehnung der Source 60 bilden. Senkrecht zu der Längsrichtung der Source 60 sowie der ersten Drain 45 und der zweiten Drain 145 erstrecken sich zweite Gateelektroden 120, die parallel zueinander in einem gleichbleibenden Abstand - vorzugsweise von der Strukturgröße F - angeordnet sind.
30
35

Typische Spannungen zum Programmieren, zum Schreiben und zum Lesen der Speicherzellenanordnung sind in der nachfolgenden Tabelle wiedergegeben, wobei die Drain 45 mit Drain1 und die

5 Drain 145 mit Drain2 bezeichnet ist.

	Drain1	Drain2	Gate	Source
Programmieren	12 V	0 V	1.5 V	0 V
Löschen	0 V	0 V	12 V	0 V
Lesen	2.5 V	0 V	2.5 V	0 V

Patentansprüche

1. Speicherzelle mit wenigstens einem MOS-Transistor,
- wobei der Transistor eine Source (60), eine erste Gateelektrode (40), eine zweite Gateelektrode (120), eine Drain (45) und einen Kanal (25) enthält,
- wobei die erste Gateelektrode (40) isoliert ist und eine elektrische Ladung enthalten kann,
- wobei an die zweite Gateelektrode (120) eine Steuerungsspannung gelegt werden kann,
- wobei die Source (60), die Drain (45) und der Kanal (25) durch verschieden dotierte Bereiche eines Halbleitersubstrats (10) gebildet werden und
- wobei sich zwischen dem Halbleitersubstrat (10) und den Gateelektroden (40, 120) wenigstens eine dielektrische Schicht, die ein Gatedielektrikum (30) bildet, befindet
d a d u r c h g e k e n n z e i c h -
n e t,
daß die zweite Gateelektrode (120) wenigstens in einem Bereich in das Halbleitersubstrat (10) eindringt, daß die zweite Gateelektrode (120) in einem weiteren Bereich über das Halbleitersubstrat (10) hinausragt, daß die erste Gateelektrode wenigstens eine Spitze (90, 100) aufweist, und daß die Spitze (90, 100) der zweiten Gateelektrode (120) zugewandt ist.

2. Speicherzelle nach Anspruch 1,
d a d u r c h g e k e n n z e i c h -
n e t,
daß die Source (60) tiefer im Halbleitersubstrat (10) angeordnet ist als die Drain (45), und daß die zweite Gateelektrode (120) so in das Halbleitersubstrat (10) eindringt, daß die zweite Gateelektrode (120) sich mindestens abschnittsweise oberhalb der Source (60) befindet.

3. Speicherzelle nach Anspruch 1 oder 2,

d a d u r c h g e k e n n z e i c h -
n e t,

daß die Spitze (90, 100) in wenigstens eine Ausnehmung
(150) der zweiten Gateelektrode (120) eindringt.

5

4. Speicherzelle nach einem der Ansprüche 1 bis 3,

d a d u r c h g e k e n n z e i c h -
n e t,

10

daß die erste Gateelektrode (40) wenigstens abschnitts-
weise parallel zu der zweiten Gateelektrode (120) ver-
läuft.

5. Speicherzelle nach Anspruch 4,

15

d a d u r c h g e k e n n z e i c h -
n e t,

daß die erste Gateelektrode (40) zu dem Abschnitt der
zweiten Gateelektrode (120), der über das Halbleiter-
substrat (10) hinausragt, parallel angeordnet ist.

20

6. Speicherzelle nach einem der Ansprüche 1 bis 5,

d a d u r c h g e k e n n z e i c h -
n e t,

25

daß der Bereich der zweiten Gateelektrode (120), der in
das Halbleitersubstrat (10) eindringt, durch einen verti-
kalen Vorsprung (140) der zweiten Gateelektrode (120) ge-
bildet wird, und daß ein anderer Bereich (130) der zwei-
ten Gateelektrode (120) sich im wesentlichen parallel zu
einer Oberfläche des Halbleitersubstrats (10) erstreckt.

30

7. Speicherzelle nach Anspruch 6,

d a d u r c h g e k e n n z e i c h -
n e t,

35

daß die erste Gateelektrode (40) einen Abschnitt (105)
enthält, der sich parallel zu dem vertikalen Teil der
zweiten Gateelektrode (120) erstreckt.

8. Verfahren zur Herstellung einer Speicherzelle mit einem MOS-Transistors,

- 5 - wobei auf einem Halbleitersubstrat (10) eine dielektrische Schicht für die Bildung eines Gatedielektrikums (30) und eine erste elektrisch leitfähige Schicht für die Bildung einer ersten Gateelektrode (40) sowie eine weitere dielektrische Schicht abgeschieden werden,
- 10 - wobei eine zweite Gateelektrode (120) erzeugt wird und
- wobei in dem Halbleitersubstrat (10) verschieden dotierte Gebiete für eine Source (60), eine Drain (45) und einen Kanal (25) gebildet werden,
- 15 d a d u r c h g e k e n n z e i c h -
n e t,
daß auf der ersten elektrisch leitfähigen Schicht wenigstens eine Spitze (90, 100) erzeugt wird, und daß die zweite Gateelektrode (120) so erzeugt wird, daß sie wenigstens in einem Bereich in das Halbleitersubstrat (10) eindringt.
- 20

9. Verfahren nach Anspruch 8,

- 25 d a d u r c h g e k e n n z e i c h -
n e t,
daß auf das Halbleitersubstrat (10) zuerst eine dielektrische Schicht und dann eine elektrisch leitende Schicht, die in der fertigen Speicherzelle als erste Gateelektrode (40) dient, erzeugt wird, und daß in einem
- 30 späteren Prozeßschritt ein Bereich aus der ersten elektrisch leitenden Schicht und aus dem darunter liegenden Bereich der dielektrischen Schicht sowie des Halbleitersubstrats (10) entfernt werden.

35 10. Verfahren nach Anspruch 9,

- d a d u r c h g e k e n n z e i c h -
n e t,

daß die erste elektrisch leitfähigen Schicht, die ersten dielektrischen Schicht sowie das Halbleitersubstrat bereichsweise durch einen oder mehrere Ätzzvorgänge entfernt werden.

5

11. Verfahren nach Anspruch 10,

d a d u r c h g e k e n n z e i c h -
n e t,

10

daß der Ätzzvorgang in einem Bereich des Halbleitersubstrats (10) erfolgt, der eine andere Dotierung enthält als andere Bereiche des Halbleitersubstrats.

12. Verfahren nach einem der Ansprüche 9 bis 11,

15

- bei dem in dem Bereich, in dem Material aus der ersten elektrisch leitenden Schicht, der dielektrischen Schicht (30) und dem Halbleitersubstrat entfernt wurde, eine Füllstruktur (70) erzeugt wird, die die erste elektrisch leitende Schicht überragt,

20

- bei dem an Flanken der Füllstruktur (70), die die elektrisch leitende Schicht überragen, die Spitze (90, 100) erzeugt wird,

25

- bei dem die Füllstruktur (70) selektiv entfernt wird,

- bei dem in dem Bereich ein Gatedielektrikum (115) und mindestens ein Teil der zweiten Gateelektrode (140) gebildet werden.

30

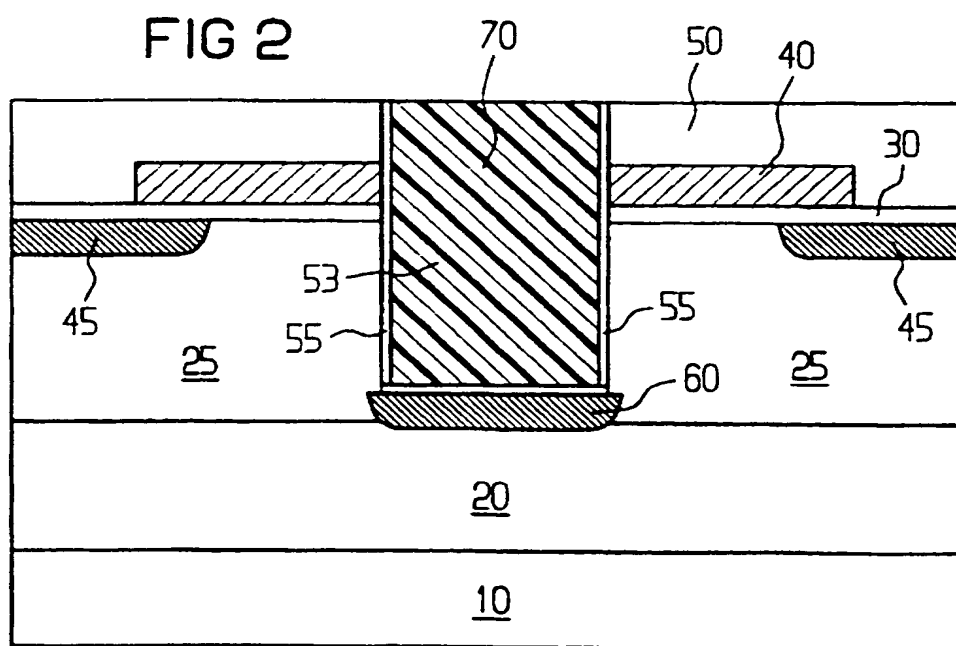
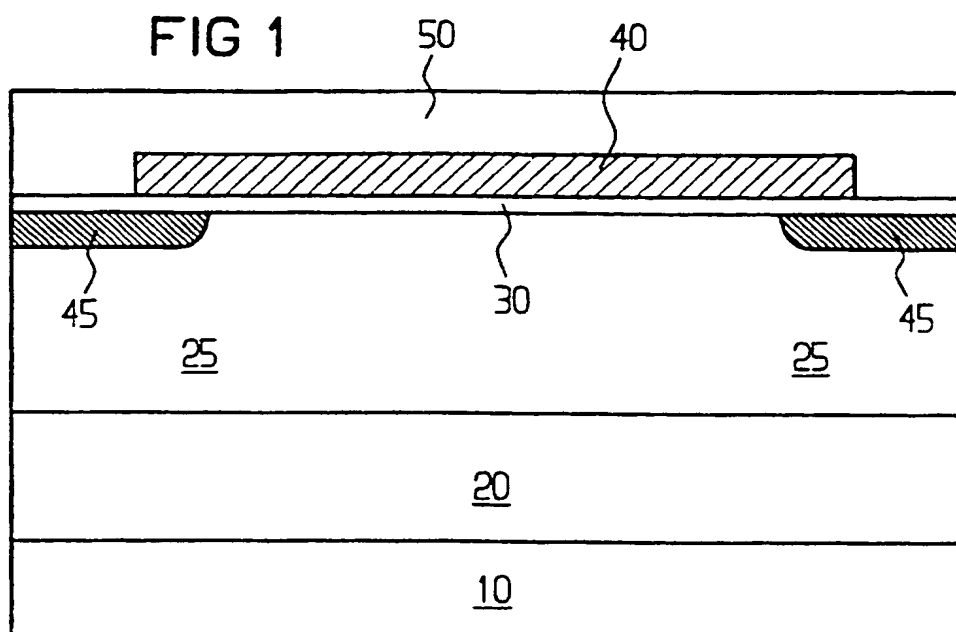
13. Verfahren nach Anspruch 12,

- bei dem zur Bildung der Spitze (90, 100) eine Halbleiterschicht (80) abgeschieden wird, die die Flanken der Füllstruktur (70) überdeckt und die isotrop oxidiert wird,

35

- bei dem der oxidierte Teil der Halbleiterschicht (80) selektiv entfernt wird, so daß nicht oxidierte Reste der Halbleiterschicht (80) bestehen bleiben, die die Spitze (90, 100) darstellen.

1/6



2/6

FIG 3

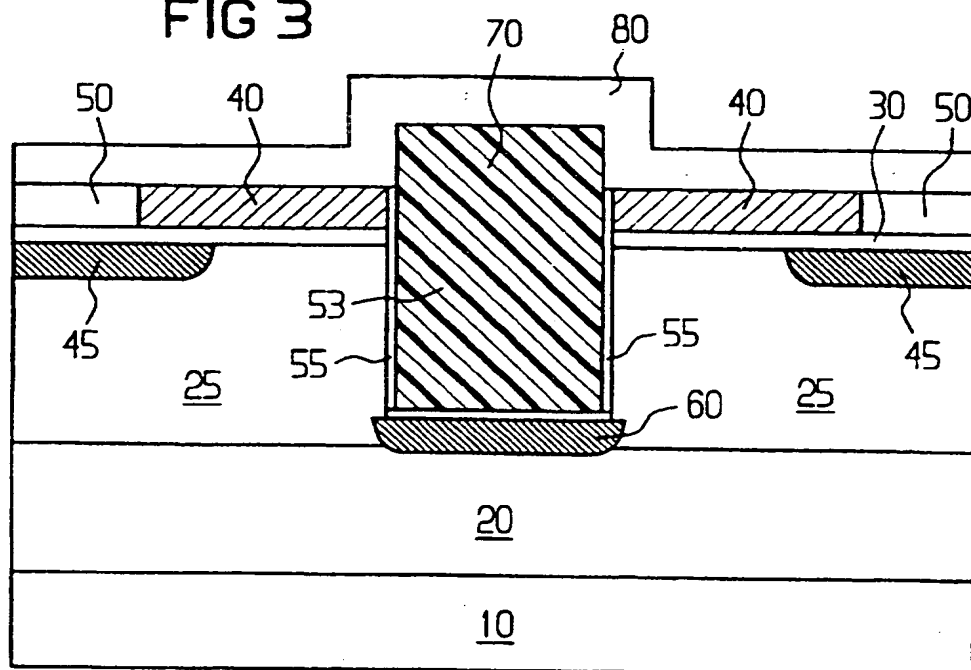
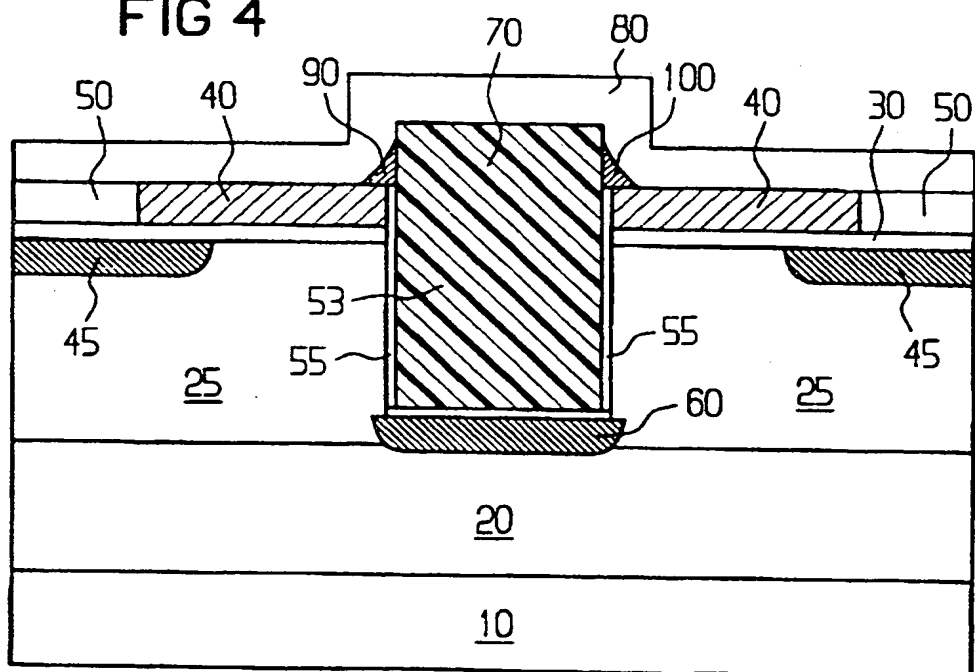


FIG 4



3/6

FIG 5

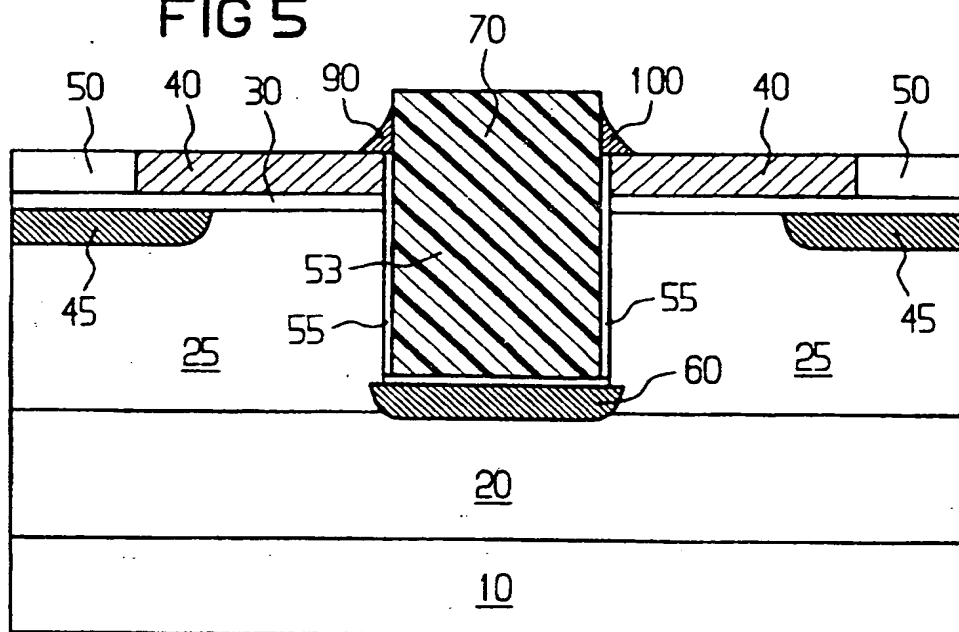
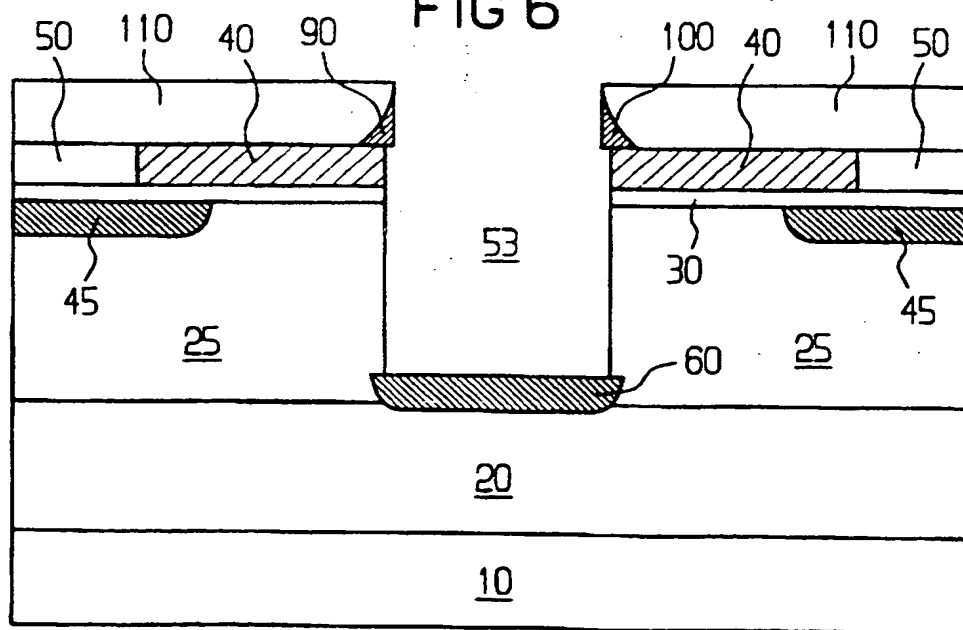


FIG 6



4/6

FIG 7

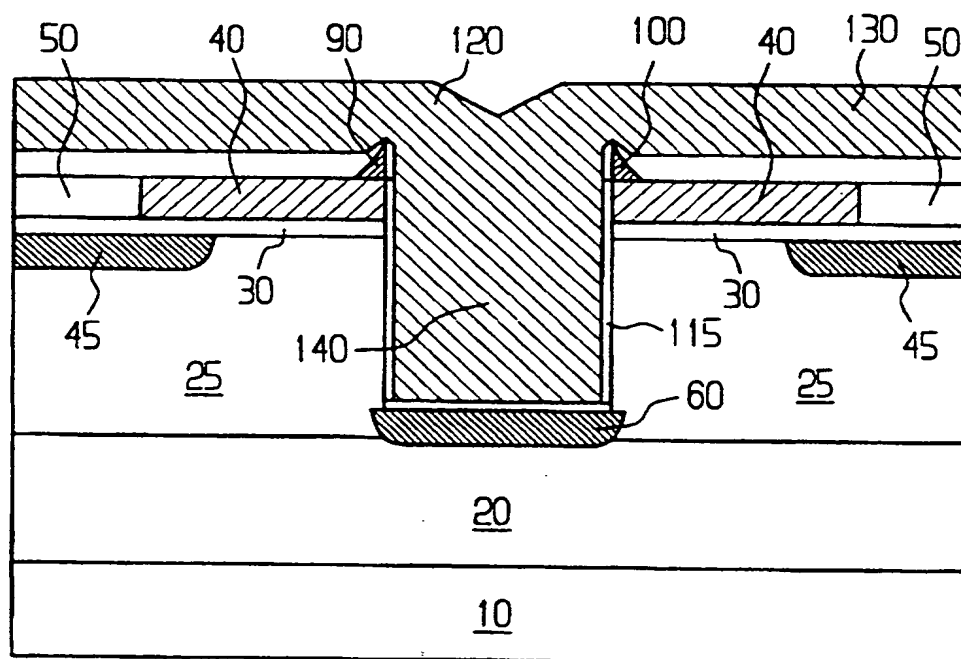
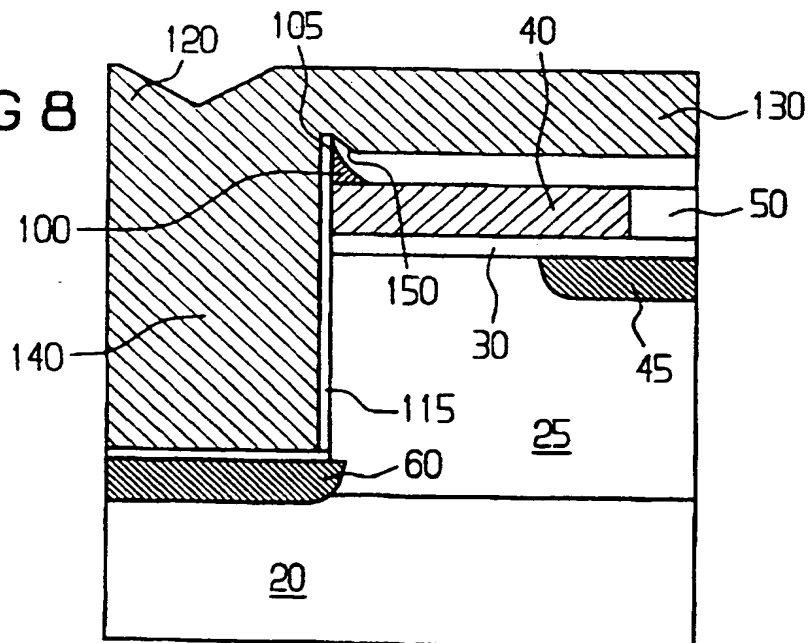
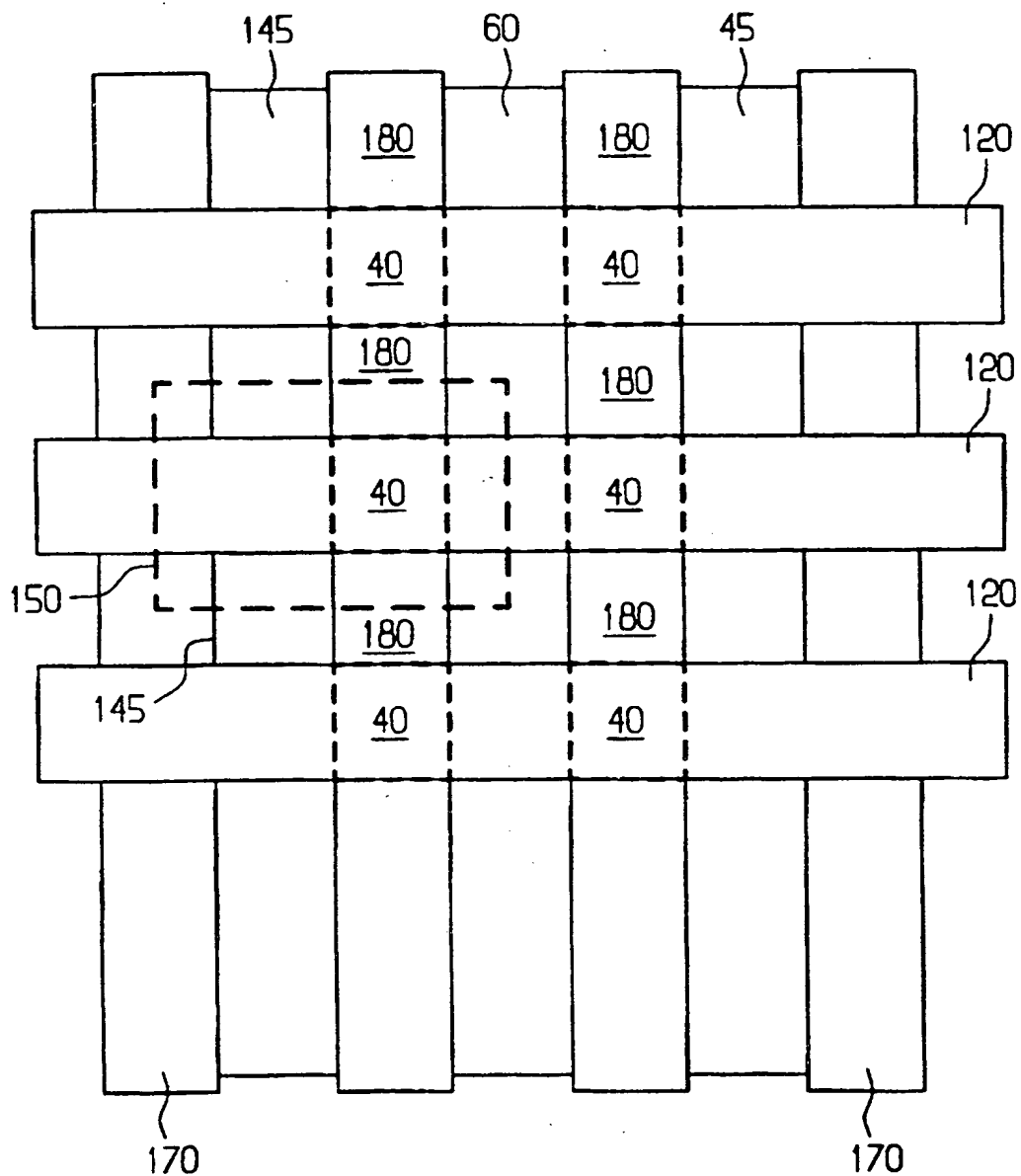


FIG 8



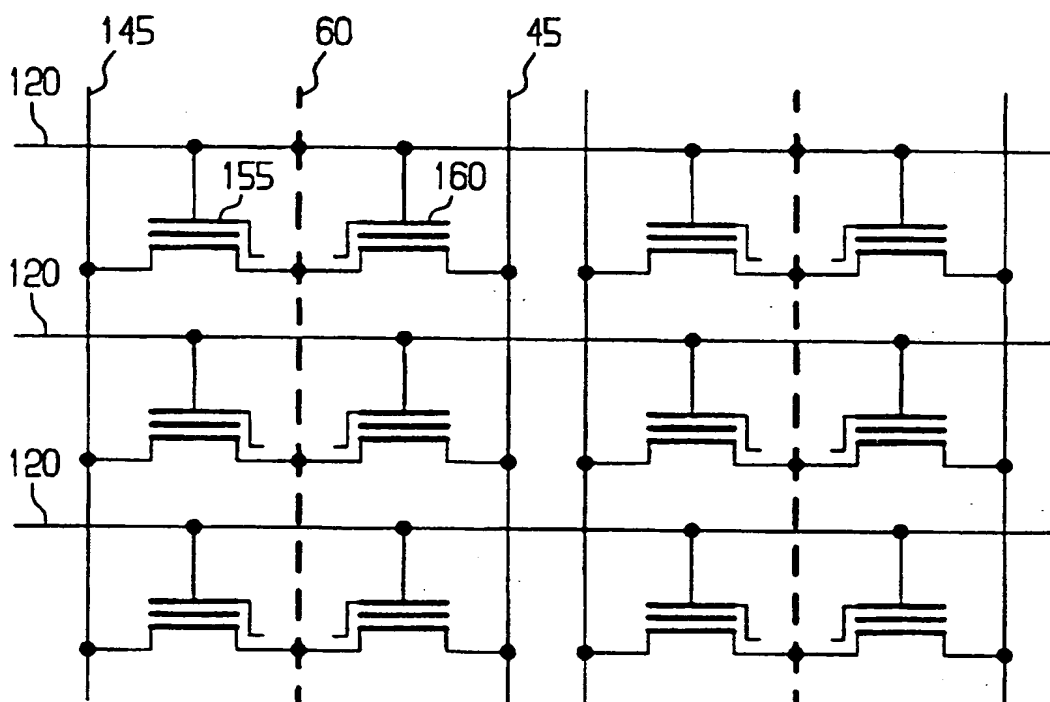
5/6

FIG 9



6/6

FIG 10



INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 98/03716

A. CLASSIFICATION OF SUBJECT MATTER

IPC 6 H01L29/788 H01L21/28 H01L27/115 H01L21/8247

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 6 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5 495 441 A (HONG GARY) 27 February 1996	1-10
A	see column 3, line 60 - column 5, line 30; figures 2-7	11
Y	PATENT ABSTRACTS OF JAPAN vol. 095, no. 011, 26 December 1995 -& JP 07 221206 A (SANYO ELECTRIC CO LTD), 18 August 1995 see abstract	1-10
X	EP 0 718 895 A (SHARP KK) 26 June 1996	8
A	see page 19, line 37 - page 20, line 51; figures 41-46C see page 17, line 53 - page 18, line 5; figure 26	1,2,4-7, 10-12
	-/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

7 May 1999

Date of mailing of the international search report

14/05/1999

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Albrecht, C

INTERNATIONAL SEARCH REPORT

Int. l. Application No

PCT/DE 98/03716

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 049 515 A (TZENG JYH-CHERNG J) 17 September 1991 see column 4, line 50 - column 8, line 15; figures 1-9 -----	1,4-10
A	PATENT ABSTRACTS OF JAPAN vol. 097, no. 004, 30 April 1997 -& JP 08 321563 A (SANYO ELECTRIC CO LTD), 3 December 1996 see abstract -----	1-8

INTERNATIONAL SEARCH REPORT

Information on patent family members

Int. l. Application No

PCT/DE 98/03716

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5495441 A	27-02-1996	NONE	
EP 0718895 A	26-06-1996	JP 8227944 A	03-09-1996
US 5049515 A	17-09-1991	US 4964080 A	16-10-1990
		GB 2241825 A,B	11-09-1991
		JP 4218974 A	10-08-1992

Form PCT/ISA/210 (patent family annex) (July 1992)

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 98/03716

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

IPK 6 H01L29/788 H01L21/28 H01L27/115 H01L21/8247

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 6 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	US 5 495 441 A (HONG GARY) 27. Februar 1996	1-10
A	siehe Spalte 3, Zeile 60 - Spalte 5, Zeile 30; Abbildungen 2-7	11
Y	PATENT ABSTRACTS OF JAPAN vol. 095, no. 011, 26. Dezember 1995 -& JP 07 221206 A (SANYO ELECTRIC CO LTD), 18. August 1995 siehe Zusammenfassung	1-10
X	EP 0 718 895 A (SHARP KK) 26. Juni 1996	8
A	siehe Seite 19, Zeile 37 - Seite 20, Zeile 51; Abbildungen 41-46C siehe Seite 17, Zeile 53 - Seite 18, Zeile 5; Abbildung 26	1, 2, 4-7, 10-12
	--- -/--	

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

7. Mai 1999

Absendedatum des internationalen Recherchenberichts

14/05/1999

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Albrecht, C

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 98/03716

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 5 049 515 A (TZENG JYH-CHERNG J) 17. September 1991 siehe Spalte 4, Zeile 50 - Spalte 8, Zeile 15; Abbildungen 1-9 ---	1,4-10
A	PATENT ABSTRACTS OF JAPAN vol. 097, no. 004, 30. April 1997 -& JP 08 321563 A (SANYO ELECTRIC CO LTD), 3. Dezember 1996 siehe Zusammenfassung -----	1-8

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 98/03716

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 5495441	A	27-02-1996	KEINE		
EP 0718895	A	26-06-1996	JP	8227944 A	03-09-1996
US 5049515	A	17-09-1991	US	4964080 A	16-10-1990
			GB	2241825 A,B	11-09-1991
			JP	4218974 A	10-08-1992

Patent Abstracts of Japan

PUBLICATION NUMBER : 03280580
PUBLICATION DATE : 11-12-91

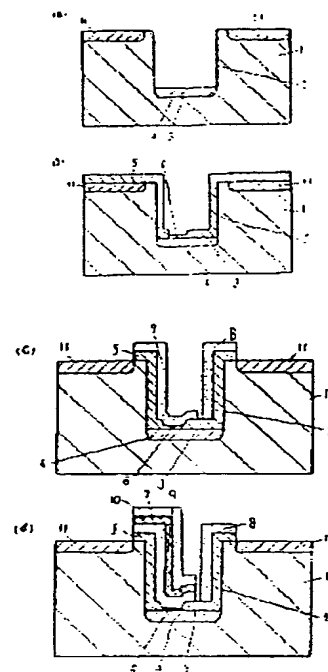
APPLICATION DATE : 29-03-90
APPLICATION NUMBER : 02082439

APPLICANT : MATSUSHITA ELECTRON CORP;

INVENTOR : YONEDA KENJI;

INT.CL. : H01L 29/788 H01L 27/115 H01L 29/792

TITLE : SEMICONDUCTOR STORAGE DEVICE
AND ITS MANUFACTURE



ABSTRACT : PURPOSE: To realize high density integration, large storage capacity, and high speed operation, by forming the greater part of a floating gate electrode and a control gate electrode on the bottom and the side wall of a trench.

CONSTITUTION: A trench 2 is formed on a P-type silicon substrate 1; arsenic is implanted in specified positions of a bottom 3 and the substrate 1; a diffusion layer turning to a source region 11 and a drain region 4 is formed by annealing; a silicon oxide film 5 is formed on the substrate 1 surface and in the trench; an aperture is formed at a specified region of the trench bottom 3; a thin silicon oxide film 6 is formed; a polycrystalline silicon film containing phosphorus atoms is deposited and patterned; a floating gate electrode 7 and the gate electrode 8 of a selection transistor are formed; a silicon oxide film 9 is formed on the electrode 7; a polycrystalline silicon film containing phosphorus atoms is formed, and patterned; a control gate 10 is formed on the electrode 7, via the film 9.

COPYRIGHT: (C)1991,JPO&Japio

